



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 14 778.3

**Anmeldetag:** 26. März 2001

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

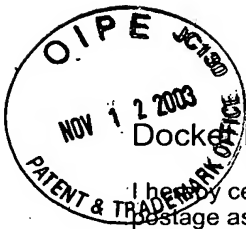
**Bezeichnung:** Verfahren zur Herstellung eines MOSFETs mit sehr  
kleiner Kanallänge

**IPC:** H 01 L 21/336

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 02. Oktober 2003  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag

Ebert



Docket No.: P2001,0216

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: \_\_\_\_\_

Date: November 7, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/673,705  
Applicant : Annalisa Cappellani et al.  
Filed : September 26, 2003  
Art Unit : to be assigned  
Examiner : to be assigned

Docket No. : P2001,0216  
Customer No.: 24131

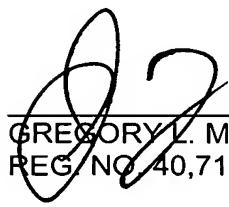
CLAIM FOR PRIORITY

Mail Stop: Missing Parts  
Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 14 778.3 filed March 26, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: November 7, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

## Beschreibung

Verfahren zur Herstellung eines MOSFETs mit sehr kleiner Kanallänge

5

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines MOSFETs mit einem Gate-Kanal einer vorgegebenen, sehr kleinen Kanallänge.

10 Transistoren mit Gate-Kanallängen unterhalb von 100 nm, sogenannte Kurzkanaltransistoren im Sub- $\mu$ -Bereich, sind mit herkömmlichen Technologien nur schwierig so exakt herzustellen, daß die erforderlichen elektrischen Betriebsparameter eingehalten werden. Eine hohe Performance des Transistors setzt  
15 beispielsweise einen hohen Betriebsstrom bei geringer Leistungsaufnahme sowie einen nur geringen Leckstrom im Off-Zustand voraus. Ferner sollen der Gate-Widerstand und parasitäre Effekte wie die Miller-Kapazität möglichst gering sein.

20 Dies erfordert maßgenaue Abmessungen und Proportionen des durch die Abfolge vieler Prozeßschritte geformten Transistors. Besondere Schwierigkeiten bereitet derzeit die Herstellung T-förmiger Gate-Schichtenstapel, deren untere Schicht entsprechend der gewünschten Kanallänge sehr schmal  
25 ist im Vergleich zu der oberen Schicht des Gate-Schichtenstapels.

Zur Herstellung von T-Gate-Transistoren sind verschiedene Verfahren vorgeschlagen worden. So ist z.B. die Herstellung  
30 eines T-Gates bekannt, bei dem eine Metallschicht nachträglich auf ein vorgeformtes Polysilizium-Gate abgeschieden wird. Aufgrund von Lagefehlern zwischen den Schichten muß jedoch der Abstand der Source/Drain-Kontakte zum Gate erhöht werden, um auch bei einer Dejustierung einen einwandfreien  
35 Betrieb des Transistors zu gewährleisten. Dies bringt jedoch einen erhöhten Source/Drain-Widerstand mit sich.

Ein Kurzkanaltransistor wird z. B. Ghani, Ahmed et al., IEDM 99, Seite 415, beschrieben. Ferner beschreiben D. Hisamoto et al. (IEEE Transaction on Electronic Devices, Vol 44, 6, 97, S. 951) ein Verfahren zur Herstellung eines selbstjustierten T-Gates mit einer Wolfram-Schicht auf einer darunterliegenden ersten Gate-Schicht. Auch Kasai et al. (IEDM 94, S. 497 - 498) beschreiben ein Verfahren zur Herstellung eines T-Gates, bei dem der Gate-Schichtenstapel aus übereinander abgeschiedenem Polysilizium, einer Diffusionsbarriere und einer Metallschicht besteht.

Nachteilhaft ist bei letzteren Verfahren, daß das Kurzkanal-Gate mit Hilfe aufwendiger lithographischer Methoden, etwa mit Hilfe eines Elektronenstrahls, strukturiert werden muß.

Es ist die Aufgabe der vorliegenden Erfindung, ein Verfahren bereitzustellen, mit dem ein T-Gate-Transistor sehr kurzer Kanallänge maßgenau, auf sehr einfache Weise und kostengünstig hergestellt werden kann.

Diese Aufgabe wird erfindungsgemäß durch ein Verfahren zur Herstellung eines MOSFETs mit einem Gate-Kanal einer vorgegebenen, sehr kleinen Kanallänge gelöst, das die folgenden Schritte aufweist:

- Erzeugen eines Gate-Dielektrikums auf einem Halbleitersubstrat,
- Aufbringen einer ersten Gate-Schicht auf das Dielektrikum,
- Aufbringen einer zweiten Gate-Schicht,
- Maskieren der zweiten Gate-Schicht in der Weise, daß die Breite der zweiten Gate-Schicht größer ist als die vorgegebene Kanallänge,
- anisotropes Ätzen der zweiten und der ersten Gate-Schicht,
- isotropes seitliches Unterätzen der ersten Gate-Schicht unter die zweite Gate-Schicht selektiv zum Dielektrikum in kontrollierter Weise derart, daß eine vorgegebene Breite der ersten Gate-Schicht erreicht wird, die kleiner ist als die

Breite der zweiten Gate-Schicht und die der vorgegebenen Kanallänge entspricht.

Erfindungsgemäß werden verschiedene Ätzschritte unterschiedlichen Isotropiegrades in geeigneter Weise miteinander verknüpft, um die gewünschte T-förmige Struktur des Gate zu erhalten. Zunächst wird der Gate-Schichtenstapel anisotrop geätzt, wodurch dieser strukturiert wird. Das so geformte Gate ist noch deutlich breiter als die vorgegebene Kanallänge.

Im Gegensatz zu herkömmlichen Verfahren wird nicht zuerst versucht, eine untere Gate-Schicht derselben Breite der vorgegebenen Kanallänge zu formen, sondern erfindungsgemäß wird zunächst ein breiterer und daher mit Hilfe herkömmlicher preiswerter Lithographieschritte formbarer Schichtenstapel erzeugt. Dadurch wird das Verfahren besonders kostengünstig.

Zunächst wird die zweite Gate-Schicht in der Weise maskiert, daß ihre Breite größer ist als die vorgegebene Kanallänge; d.h. die Maskierung erfolgt in der Weise, daß nach im nachfolgenden ersten Ätzschritt ein aus der ersten und der zweiten Gate-Schicht bestehender Schichtenstapel erzeugt wird, der eine Breite besitzt, die größer als die vorgegebene Kanallänge ist.

Die weitere Bearbeitung des Gate-Schichtenstapels zum Erreichen der der vorgegebenen Kanallänge entsprechenden kleinen Gate-Länge erfolgt dann durch nachträgliches Ätzen der unteren Gate-Schicht von der Seite her.

Dazu wird erfindungsgemäß ein zweiter Ätzschritt durchgeführt. Um die durch die zweite Gate-Schicht verdeckte erste Gate-Schicht zu erreichen, wird die zweite Ätzung isotrop durchgeführt. Aufgrund ihrer Isotropie bewirkt die zweite Ätzung eine seitliche Einschnürung der ersten Gate-Schicht, welche kontrolliert bis auf die vorgegebene Kanallänge verschmälert wird. Das so erhaltene Kurzkanal-Gate entsteht da-

bei mit Hilfe einfacher und an sich bekannter Prozeßschritte, ohne daß aufwendige Verfahren zum Einsatz kommen.

5 Eine bevorzugte Ausführungsart sieht vor, daß die Breite der ersten Gate-Schicht durch die Breite der zweiten Gate-Schicht und durch die Dauer des kontrollierten seitlichen Unterätzens der ersten Gate-Schicht unter die zweite Gate-Schicht kontrolliert wird. Im einfachsten Fall bleiben die Konzentration von Ätzstoffen sowie sonstige Parameter der Unterätzung konstant, so daß lediglich die Zeitdauer dieser Ätzung die untere Gate-Länge bestimmt. Die vorgegebene Breite der ersten Gate-Schicht ist dabei vorzugsweise gleich der vorgegebenen Kanallänge.

10 Eine Weiterbildung der Erfindung sieht vor, daß die Breite der ersten Gate-Schicht während des Unterätzens mit Hilfe der Konzentration eines Ätzstoffes kontrolliert wird. Dabei kann die Konzentration auf einen während der Ätzung konstanten Wert eingestellt oder auch im Verlaufe der Ätzung verändert werden.

15 Vorzugsweise ist die vorgegebene Breite der ersten Gate-Schicht gleich der vorgegebenen Kanallänge. Andererseits liegen auch Abweichungen von 10 % in beiden Richtungen noch im Rahmen der Erfindung.

20 Vorzugsweise ist vorgesehen, daß das anisotrope Ätzen der zweiten und der ersten Gate-Schicht bis zum Erreichen des Dielektrikums fortgesetzt wird. Dadurch wird die beim isotropen Ätzen entstehende Seitenwand besonders gleichförmig. Andererseits kann die erste, isotrope Ätzung auch innerhalb der unteren Gate-Schicht beendet und dort die zweite, isotrope Ätzung begonnen werden. In diesem Fall wird das Dielektrikum erst während der zweiten Ätzung erreicht.

25  
30  
35 Schließlich ist vorgesehen, daß das isotrope seitliche Unterätzen der ersten Gate-Schicht selektiv zur zweiten Gate-

Schicht erfolgt. Dadurch bleiben die oberen Abmessungen der Gate-Leitung erhalten und können so leichter kontaktiert werden.

5 Vorzugsweise wird die Unterätzung mit Hilfe eines isotropen Plasmaätzschrittes durchgeführt. Dabei kommen herkömmliche Trockenätzkammern mit induktiver oder sonstiger Einkopplung zum Einsatz.

10 Als Ätzgas für die isotrope Ätzung dient vorzugsweise ein Halogenwasserstoff; insbesondere Bromwasserstoff ist wegen seiner guten Selektivität gegenüber Metallen von Vorteil.

Hinsichtlich der Abmessungen des hergestellten T-Gates sehen  
15 bevorzugte Ausführungsformen vor, daß die Breite der zweiten Gate-Schicht zwischen 120 und 300 nm und daß die Breite der ersten Gate-Schicht zwischen 30 und 150 nm beträgt. Vorzugsweise werden damit Transistoren mit einer Kanallänge von 30 bis 150 nm hergestellt.

20

Das Gate-Dielektrikum besteht vorzugsweise aus Siliziumdioxid, die erste Gate-Schicht aus Polysilizium.

25

Vorzugsweise besitzt die zweite Gate-Schicht eine höhere elektrische Leitfähigkeit als die erste Gate-Schicht. Dadurch wird die Leitfähigkeit des Gate insgesamt erhöht. Die zweite Gate-Schicht kann vorzugsweise aus einem Metall, insbesondere Wolfram bestehen.

30 Eine Weiterbildung der Erfindung sieht das Einbringen von Source/Drain-Implantationen und deren Diffundieren unter die vorgegebene Breite der zweiten Gate-Schicht bis zum Rand der ersten Gate-Schicht vor. Hierbei bildet die breitere, obere Gate-Schicht einen Teil einer Maske, die die Implantationen  
35 erst in einem gewissen Abstand von der unteren Gate-Schicht durch das Dielektrikum in den Wafer einbringen läßt. Das anschließende thermische Verteilen der Implantationen wird so

gesteuert, daß die Dotierstoffe zusätzlich zur Breite eines Spacers ebenfalls die Differenz der Breiten der zweiten und der ersten Gate-Schicht, d. h. den Weg zur vorgegebenen kleinen Kanallänge, zurücklegen.

5

Das Vorzugsweise ist der erfindungsgemäße MOSFET Teil eines DRAMs oder einer Logikschaltung.

Die Erfindung wird nachstehend mit Bezug auf die Figuren 1 bis 3 beschrieben, die verschiedene Verfahrensstufen der erfindungsgemäßen Herstellung von T-Gate-Transistoren darstellen.

Gemäß Figur 1 wird auf einem mit einem Gate-Oxid 2 aus vorzugsweise Siliziumdioxid bedeckten Siliziumsubstrat 1 eine Folge mehrerer Gate-Schichten abgeschieden. Der so erzeugte Gate-Schichtenstapel besteht im wesentlichen aus einer ersten Gate-Schicht 3 aus Polysilizium und einer darüberliegenden zweiten Gate-Schicht 5. Die zweite Gate-Schicht 5 dient zur Verbesserung der Leitfähigkeit des Gate bei sehr kleinen Abmessungen und wird daher vorzugsweise aus einem Metall, insbesondere aus Wolfram bestehen.

Zwischen diesen Schichten kann eine als Diffusionsbarriere dienende Zwischenschicht 4 aus beispielsweise Wolframnitrid erzeugt werden, etwa durch nachträgliche Silizidierung. Auch können insgesamt mehr als zwei Schichten aufeinander abgeschieden werden. Entscheidend ist, daß mindestens zwei Gate-Schichten aus unterschiedlichem Material gebildet werden, die eine seitliche Unterätzung der unteren Schicht unter die obere Schicht des Gate zulassen.

Wenn die für die Gate-Struktur benötigte Schichtenfolge erzeugt ist, wird diese lateral strukturiert, um das Gate zu formen. Dazu wird die Schichtenfolge bzw. ihre oberste Schicht 5, zunächst maskiert. Da diese Maskierung in der Weise erfolgt, daß die Breite der zweiten Gate-Schicht 5 in die-

sem Verfahrensstadium breiter ist als die vorgegebene Kanallänge, können herkömmliche lithographische Techniken wie etwa die Verwendung von Lack- oder Hartmasken zum Einsatz kommen.

5

Erfindungsgemäß wird die anfängliche Breite des Gate-Schichtenstapels bewußt breiter gewählt, als es der gewünschten Gate-Länge und damit der Kanallänge entspricht. Dafür wird durch die Verknüpfung einer anisotropen ersten Ätzung mit einer anschließenden, anisotropen Unterätzung, die bei dieser Reihenfolge zu einer Unterätzung der ersten Gate-Schicht unter die zweite Gate-Schicht führt, eine Reduzierung der Gate-Länge unmittelbar auf dem Gateoxid erreicht. Durch diese Verknüpfung kann mithilfe an sich bekannter und einfacher Ätzvorgänge ein T-Gate sehr kurzer Kanallänge hergestellt werden. Der Einsatz von Lasern oder Elektronenstrahlen, die üblicherweise zur Erzeugung sehr kleiner Strukturen zur Anwendung kommen, ist bei dem erfindungsgemäßen Verfahren nicht erforderlich. Vielmehr kann die zweite Gate-Schicht mithilfe von Lackmasken oder Hartmasken in üblicher Weise maskiert werden.

10

15

20

Die Formung des Gate beginnt dann mit der anisotropen, in Richtung senkrecht auf die Substratoberfläche gerichteten Trockenätzung mit Hilfe eines ersten Ätzgases, angedeutet durch A1 in Figur 1. Die Ätzung wird vorzugsweise so lange fortgesetzt, bis alle Gate-Schichten strukturiert sind, aber das darunterliegende Dielektrikum noch nicht durchbrochen ist.

25

30

35

Alternativ kann die Ätzung auch in einem Stadium beendet werden, in dem die zweite Gate-Schicht 5 ganz, die erste Gate-Schicht 3 hingegen nur teilweise durchbrochen ist. In diesem Fall erfolgt die vollständige Durchbrechung der ersten Gate-Schicht 3 bis hin zum Dielektrikum 2 durch den zweiten, nachstehend beschriebenen Ätzschritt.

Gemäß Figur 2 wird in einem nächsten, isotropen Ätzschritt ein zweites Ätzgas A2 isotrop dem Substrat zugeführt. Isotrop in diesem Sinne bedeutet, daß der Isotropiegrad ausreichend groß ist, daß das Ätzgas A2 die Seitenwände der unteren Gate-Schicht 3 erreicht und unterätzt.

Die zweite Ätzung muß selektiv zum Dielektrikum 2 erfolgen. Je größer die Selektivität der zweiten Ätzung gegenüber dem Dielektrikum ist, um so zuverlässiger wird ein Durchbrechen des Dielektrikums verhindert.

Das Dielektrikum braucht nicht notwendigerweise schon im Laufe der ersten Ätzung erreicht zu werden; falls die anfängliche Breite der Gate-Struktur, d.h. die Breite der oberen Gate-Schicht 5 ausreichend groß ist, ist auch vorstellbar, daß nach Erreichen der unteren Gate-Schicht 3 erst die zweite Ätzung das Dielektrikum freilegt.

Das Ätzgas A2 kann vorzugsweise so ausgewählt werden, daß die zweite Ätzung auch selektiv zu der über der ersten Gate-Schicht 3 liegenden zweiten Gate-Schicht 5 (und gegebenenfalls zur zwischen ihnen liegenden Zwischenschicht) erfolgt. In diesem Falle entstehen T-förmige Gate-Strukturen, deren gut leitender metallischer oberer Teil seinen nach der ersten Ätzung geformten breiteren Querschnitt beibehält, während nur die untere erste Gate-Schicht 3 verschmälert wird. Dadurch kann die obere Gate-Schicht 5 leichter kontaktiert werden.

Sofern die zweite Ätzung nicht selektiv zur oberen Gate-Schicht ist, entstehen zwar keine T-förmigen Gate-Strukturen; jedoch wird auch hier dieselbe Reduzierung der anfänglichen Gate-Länge erreicht. Bei ausreichend dick abgeschiedener zweiter Gate-Schicht 5 bleibt zudem auch nach der zweiten Ätzung genügend Material dieser Schicht vorhanden, um das eine ausreichende elektrische Leitfähigkeit des Gate zu gewährleisten und um das Gate zuverlässig zu kontaktieren.

Als Ätzgas A2 für die zweite, isotrop durchgeführte Ätzung dient vorzugsweise ein Halogenwasserstoff. Insbesondere Bromwasserstoff (HBr) ist wegen seiner guten Selektivität gegenüber Siliziumdioxid (als Dielektrikum) und gegenüber Metallen  
5 (als zweiter Gate-Schicht) gut geeignet.

In den Figuren 1 und 2 sind Gate-Schichtenstapel benachbarter Kondensatoren übertrieben eng benachbart dargestellt, um den Einfluß unterschiedlicher Isotropiegrade auf die Formgebung  
10 durch das Ätzgas A2 besser zu verdeutlichen.

Figur 3 zeigt hingegen nur noch einen einzigen hergestellten T-förmigen Schichtenstapel 3, 4, 5, der seitlich bereits mit Spacern 7 bedeckt ist. Die Spacer dienen zur seitlichen Iso-  
15 lierung des Gate-Kanals gegenüber den einzubringenden Source/Drain-Implantationen S/D.

Die Implantationen S/D werden außerhalb der Spacer 7 durch das Dielektrikum 2 hindurch in Bereiche 8 des Substrats im-  
20 plantiert. Beim einer anschließenden thermischen Bearbeitung werden die Temperatur und die Dauer der Wärmeeinwirkung so gesteuert, daß sich das Ionenprofil 6 bis unter die obere Gate-Schicht 5 an die untere Gate-Schicht 3 heran, d.h. in den Bereich 6a hinein erstreckt. Bei einer Breite des ursprüngli-  
25 chen Gate-Schichtenstapels von 200 nm genügt eine der Unterätzung entsprechende zusätzliche Ionendiffusion von 50 nm auf jeder Seite des Gate, um einen Transistor einer Kanallänge von 100 nm zu formen. Vorzugsweise werden - ausgehend von einer Gate-Breite von 120 bis 300 nm - die Source/Drain-  
30 Implantationen auf vorzugsweise 30 bis 150 nm (entsprechend der gewünschten Kanallänge) aneinander herangeführt. Erfindungsgemäß können jedoch MOSFETs beliebiger, noch kürzerer Kanallänge hergestellt werden.

35 Ein solcher Transistor kann mit dem erfindungsgemäßen Verfahren mithilfe herkömmliche Lithographiemethoden erzeugt werden.

Mit Hilfe der vorliegenden Erfindung gelingt eine Herstellung selbstjustierter Mehrschichten-Gates, bei denen ausschließlich herkömmliche Herstellungsanlagen und Prozeßschritte zum  
5 Einsatz kommen. Das Verfahren ist daher einfach und kostengünstig, und aufgrund der kontrollierten Unterätzung ist die Gate-Länge der hergestellten Transistoren besonders maßgenau.

## Patentansprüche

1. Verfahren zur Herstellung eines MOSFETs mit einem Gate-Kanal einer vorgegebenen, sehr kleinen Kanallänge, mit den

5 Schritten:

- Erzeugen eines Dielektrikums (2) auf einem Halbleitersubstrat (1),
- Aufbringen einer ersten Gate-Schicht (3) auf das Dielektrikum (2),
- 10 - Aufbringen einer zweiten Gate-Schicht (5),
- Maskieren der zweiten Gate-Schicht (5) in der Weise, daß die Breite der zweiten Gate-Schicht (5) größer ist als die vorgegebene Kanallänge,
- anisotropes Ätzen der zweiten (5) und der ersten Gate-
- 15 Schicht (3),
- isotropes seitliches Unterätzen der ersten Gate-Schicht (3) unter die zweite Gate-Schicht (5) selektiv zum Dielektrikum (2) in kontrollierter Weise derart, daß eine vorgegebene Breite ersten Gate-Schicht (3) erreicht wird, die kleiner ist
- 20 als die Breite der zweiten Gate-Schicht (5) und die der vorgegebenen Kanallänge entspricht.

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

25 die Breite der ersten Gate-Schicht (3) durch die Breite der zweiten Gate-Schicht (5) und durch die Dauer des seitlichen Unterätzens der ersten Gate-Schicht (3) unter die zweite Gate-Schicht (5) kontrolliert wird.

30 3. Verfahren nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, daß

die Breite der ersten Gate-Schicht (3) während des Unterätzens mit Hilfe der Konzentration eines Ätzstoffes (A2) kontrolliert wird.

35 4. Verfahren nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t, daß  
die vorgegebene Breite der ersten Gate-Schicht (3) gleich der  
vorgegebenen Kanallänge ist.

5 5. Verfahren nach einem der Ansprüche 1 bis 4,  
d a d u r c h g e k e n n z e i c h n e t, daß  
das anisotrope Ätzen der zweiten (5) und der ersten Gate-  
Schicht (3) bis zum Erreichen des Dielektrikums (2) fortge-  
setzt wird.

10

6. Verfahren nach einem der Ansprüche 1 bis 5,  
d a d u r c h g e k e n n z e i c h n e t, daß  
das isotrope seitliche Unterätzen der ersten Gate-Schicht (3)  
selektiv zur zweiten Gate-Schicht (5) erfolgt.

15

7. Verfahren nach einem der Ansprüche 1 bis 6,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Unterätzung mit Hilfe eines isotropen Plasmaätzschrittes  
durchgeführt wird.

20

8. Verfahren nach Anspruch 7,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die isotrope Ätzung mit Hilfe eines Halogenwasserstoffs, ins-  
besondere Bromwasserstoff durchgeführt wird.

25

9. Verfahren nach einem der Ansprüche 1 bis 8,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Breite der zweiten Gate-Schicht (5) zwischen 120 und 300  
nm beträgt.

30

10. Verfahren nach einem der Ansprüche 1 bis 9,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Breite der ersten Gate-Schicht (3) zwischen 30 und 150 nm  
beträgt.

35

11. Verfahren nach einem der Ansprüche 1 bis 10,

d a d u r c h g e k e n n z e i c h n e t, daß  
das Gate-Dielektrikum (2) aus Siliziumdioxid und die erste  
Gate-Schicht (3) aus Polysilizium besteht.

5 12. Verfahren nach einem der Ansprüche 1 bis 11,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die daß die zweite Gate-Schicht (5) eine höhere elektrische  
Leitfähigkeit besitzt als die erste Gate-Schicht (3).

10 13. Verfahren nach Anspruch 12,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die zweite Gate-Schicht (5) aus einem Metall, insbesondere  
aus Wolfram besteht.

15 14. Verfahren nach einem der Ansprüche 1 bis 13,  
g e k e n n z e i c h n e t d u r c h  
Einbringen von Source/Drain-Implantationen (S/D) und Diffun-  
dieren der Implantationen unter die vorgegebene Breite der  
zweiten Gate-Schicht (5) bis zum Rand der ersten Gate-Schicht  
20 (3).

## Zusammenfassung

Verfahren zur Herstellung eines MOSFETs mit sehr kleiner Kanallänge

5

Beschrieben wird ein Verfahren, bei dem ein mindestens aus zwei Schichten (3) und (5) bestehender Gate-Schichtenstapel zunächst anisotrop strukturiert und dann die untere Schicht (3) geätzt wird, wobei ein isotroper, vorzugsweise selektiver Ätzschritt eine seitliche Unterätzung, d. h. Entfernung der unteren Schicht (3) bis zur vorgegebenen Kanallänge bewirkt.

10

Mit Hilfe des erfindungsgemäßen Verfahrens kann ein T-Gate-Transistor sehr kurzer Kanallänge maßgenau, auf einfache Weise und kostengünstig hergestellt werden. Seine elektrischen Schalteigenschaften sind besser als diejenigen anderer, mit herkömmlichen Verfahren geformter T-gate-Transistoren.

15

(Figur 2)

20

2/1

Fig. 1

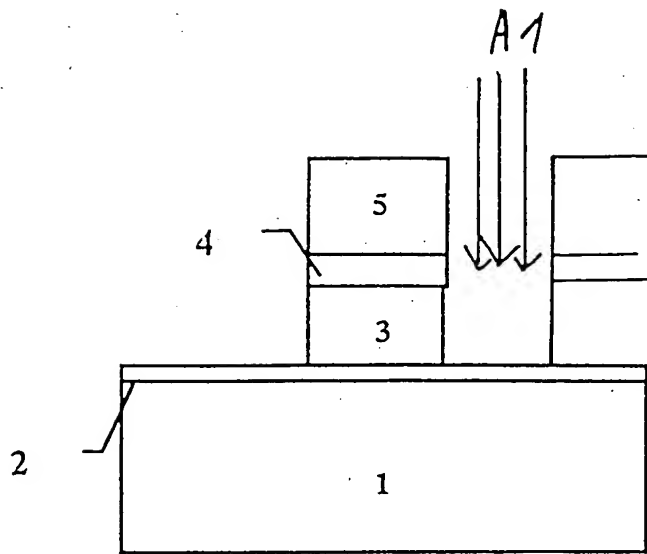


Fig. 2

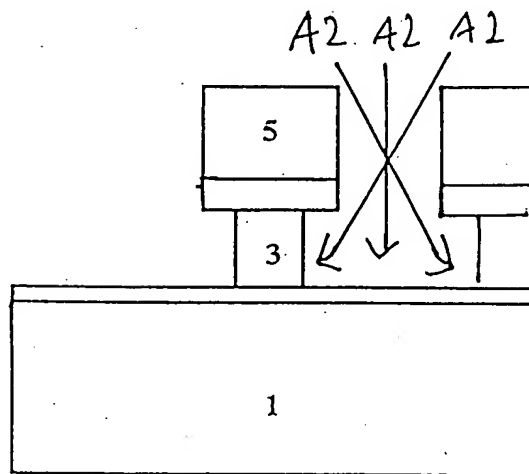


Fig. 3

